

市電輸入端 CMC 設計簡介與電感阻抗原理之探討

By Ted Lee 李瑞揚

Date: 2014-06-27

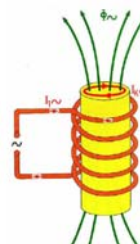
引言

在 Common-mode Choke 的設計中，往往需考量到如何有效抑制某頻率區段的雜訊，使得電感阻抗的設計成為抑制雜訊的首要關鍵。本文藉由電感阻抗原理之探討，以期能深入的了解電感阻抗與鐵芯材質特性、頻率、繞線因子、鐵芯幾何因子之間密不可分的關係，並對未來 Common-mode Choke 的設計提供系統性的觀念。

電感的基本定義

在物理學電磁理論中的安培定理即是在探討電流產生磁場的現象，而變動的磁場會感應出電流則由法拉第定理做出了解釋。有關磁場與電流變化量的比例關係則稱之為電感 L ，可由下式說明：

$$L \equiv \frac{N \cdot \Delta \phi}{\Delta I} \quad (1)$$



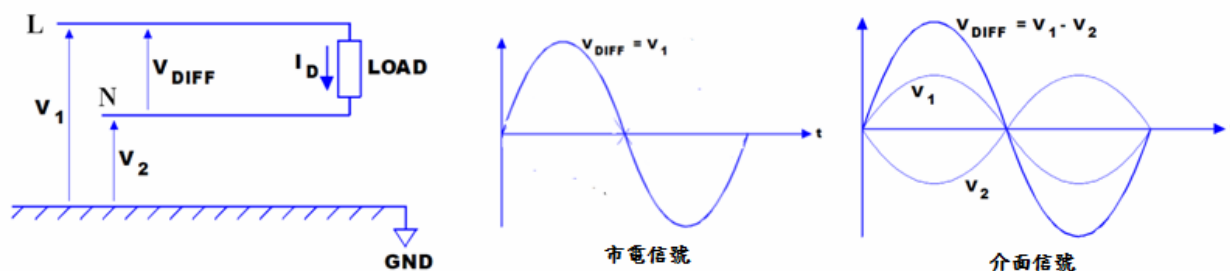
(1)式是電磁理論對電感最原始的定義，其中 $\Delta \phi$ 是 N 匝線圈內所包覆之磁通變化量， ΔI 則是線圈導體所載電流變化量。電感經由電磁的互相轉換，擁有儲存和釋放能量的功能。理想的電感，不會產生或消耗能量，也就是說不存有鐵芯損耗與線阻損耗，且沒有繞線結構上的雜散電容及其介電損耗。電感依其用途往往會在其名詞前冠上應用名稱，諸如濾波電感、儲能電感、諧振電感、共模或差模電感、升降壓電感、PFC 電感…等。在現實世界中不可能製造出完全理想的電感；被動元件領域，不管是電阻、電容或電感，其表現的特性，僅是其某一段頻率範圍內，貢獻度較強的一些性質而已。利用等效電路參數建模來解析被動元件特性，是目前已知相當有效的一種方法。

訊號傳導模式介紹

訊號的傳導可以藉由其電流行進的模式分成兩大類：差模（Differential mode；DM）和共模（Common mode；CM）。差模也稱作「對稱模式（symmetric mode）」或「正常模式（normal mode）」；而共模也稱作「非對稱模式（asymmetric mode）」或「接地洩漏模式（ground leakage mode）」，所以電磁干擾產生的雜訊也分成兩類：差模雜訊和共模雜訊。

A. 纯差模信号：

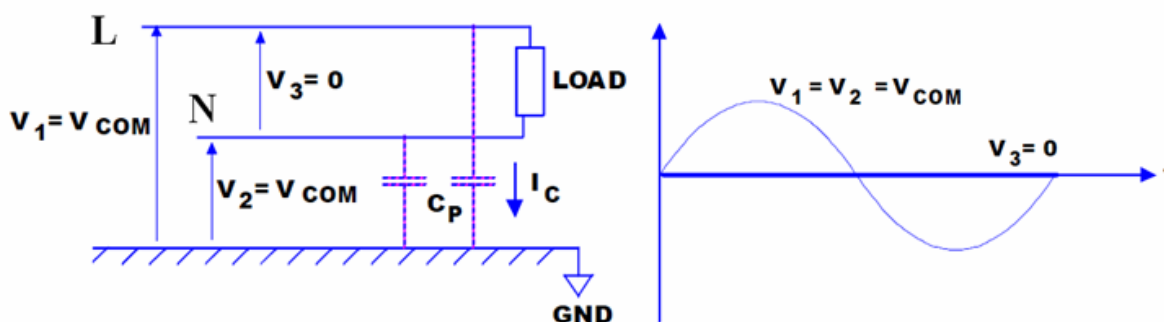
在市電電源信號傳輸方面， $V_{\text{DIFF}}=V_1$ ， V_2 趨近於 0，是由高電位經負載流向低電位形成迴路；而在電子介面傳輸信號方面， $V_1=-V_2$ ，大小相等，相位差是 180° ， $V_{\text{DIFF}}=V_1-V_2$ ，因為 V_1 和 V_2 對地是對稱的，所以地線上沒有電流流過，所有的差模電流 (I_{DIFF}) 全流過負載。電力公司所提供的交流電力信號即是走差模的傳導模式。整體說明如下圖所示：



註:L(Line):俗稱火線；N(Neutral)虛擬接地，為電流進出電廠之傳導線，如一般市電插頭L、N方形兩孔。
GND (Ground):俗稱大地，如一般市電插頭之圓孔。

B. 纯共模信号：

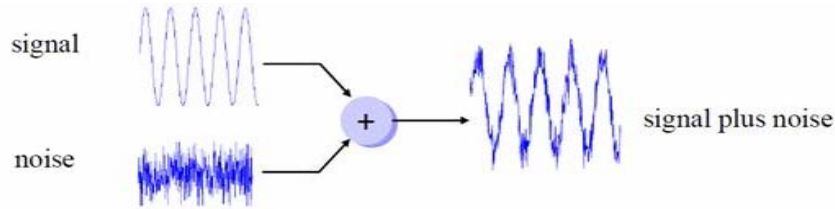
$V_1=V_2=V_{\text{COM}}$ ，大小相等，相位差為 0° ， $V_3=V_1-V_2=0$ 。因為在負載(Load)兩端沒有共模電位差，所以沒有共模信號電流流過負載。所有的共模電流都通過導線和地之間的寄生電容流向地線。在以導線傳輸訊號時，因為共模信號不攜帶信息，所以它多半是“不想要”的信號。整體說明如下圖所示：



雜訊 (Noise)，指當訊號在傳輸過程中，會受到一些外在能量所產生訊號（如雜散電磁場）干擾，這些能量即雜訊。雜訊通常會造成信號的失真。雜訊除了來自系統外部，亦有可能由系統本身產生。雜訊的強度通常都是與訊號頻寬 (BW) 成正比，所以當訊號頻寬越大，雜訊的干擾也會越大。所以在評估雜訊強度或是系統抵抗雜訊能力的數據，是以訊號強度對雜訊強度的比例為依據。

我們應當瞭解，雜訊是不可能完全被去除的，但是經由適當的接地(grounding)、屏蔽(shielding)與濾波(filtering)，則可將其干擾儘量降低。對於一個良好的電路設計，預防勝於發

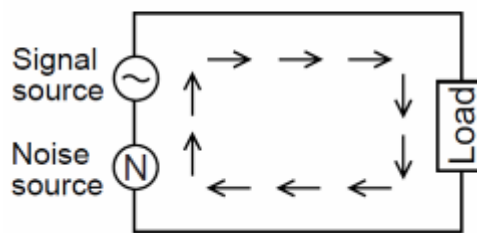
生問題後的電路修改。在電路板的佈局即開始做好雜訊防治的工作，是建構高可靠度低雜訊電子系統的首要工作。以下為信號(signal)與雜訊(noise)疊加前後的示意圖：



差模雜訊

差模訊號通常是我們所要的，為一電路傳送訊號最基本之迴路，此迴路所產生的「副產品」，稱之為差模雜訊，為兩條電源供應線路的電流方向互為相反時發生的。如下圖所示：

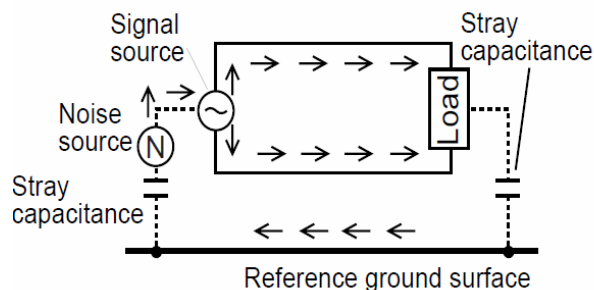
■ Differential mode noise



共模雜訊

共模訊雜訊是我們不要的副作用或是差模電路的「副產品」，如絞線中的寄生電容、各元件之漏磁、溫度的變化各種環境噪聲的影響都可以視為共模干擾，。而共模雜訊是當所有的電源供應線路的電流方向相同時發生的。如下圖所示：

■ Common mode noise

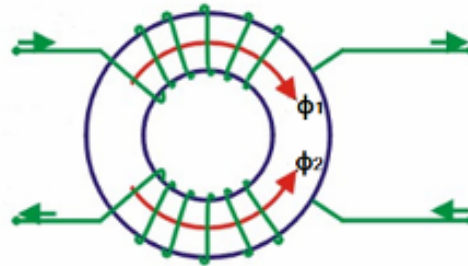


Common-mode Choke 簡介

Choke 中文翻譯為扼流圈，是電感的另一種名稱，特別是針對變動中電流信號的節制所需的應用場合會特別以 Choke 來稱呼。Common-mode Choke 叫做共模扼流圈，顧名思義是

對共模電流雜訊做出節制的電感。

Common-mode Choke 是一個在封閉磁環上對稱繞製、匝數相同的線圈(如下圖所示)，當信號電流或電源電流在兩個繞組中，流過電流方向相反，產生的磁通量 ϕ_1 和 ϕ_2 相互抵消，即使是市電輸入端的大電流信號下，Common-mode Choke 也不會有鐵芯磁飽和的問題，且扼流圈呈現低阻抗。

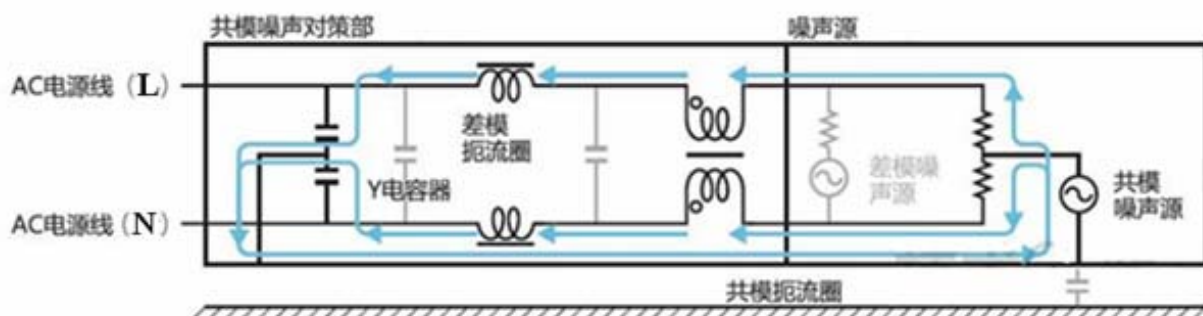


Common-mode Choke 實質上是一個雙向濾波器：一方面要濾除信號線上外來共模電磁干擾(EMS)，另一方面又要抑制系統本身向外發出的電磁干擾(EME)，避免在同一電磁環境下影響其他電子設備的正常工作。

Common-mode Choke 工作原理

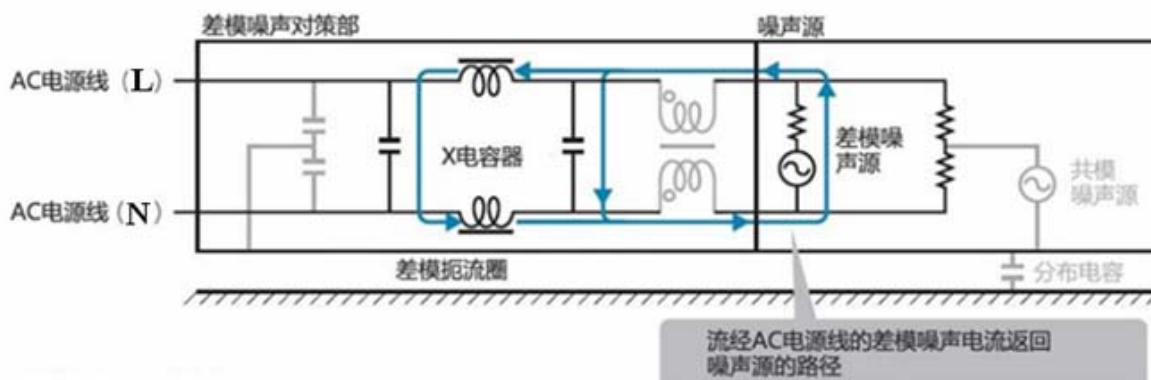
如下圖淺藍色箭頭路徑，當有共模雜訊電流流經 Common-mode Choke 時，因共模雜訊是兩根電源線(L&N)對地之間的干擾，此時雜訊電流流經兩個繞組的方向變成相同，使產生的磁通量相加，呈現高阻抗，從而有抑制共模雜訊的作用。

共模噪声及对策部件



再看，當有差模雜訊電流流經 Common-mode Choke 時(如下圖淺藍色箭頭路徑)，因差模雜訊是兩根電源線(L&N)之間的干擾，此時雜訊電流流經兩個繞組的方向變成相反，磁通抵消，Common-mode Choke 變得較無作用，反而需藉由 Differential-mode Choke 來抑制差模雜訊。

差模噪声及对策部件



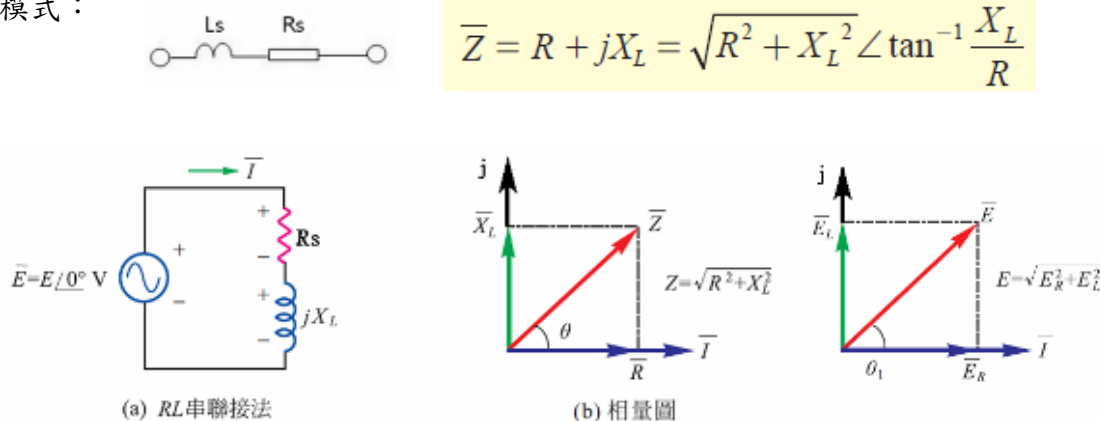
基本电路阻抗的概念

阻抗 (electrical impedance) 是电路中电阻、电感、电容对交流电的阻碍作用的统称，亦是衡量流动于电路的交流电所遇到阻碍的程度。阻抗将电阻的概念加以延伸至交流电路领域，不仅描述电压与电流的相对振幅，也描述其相对相位。

电感的等效电路型式

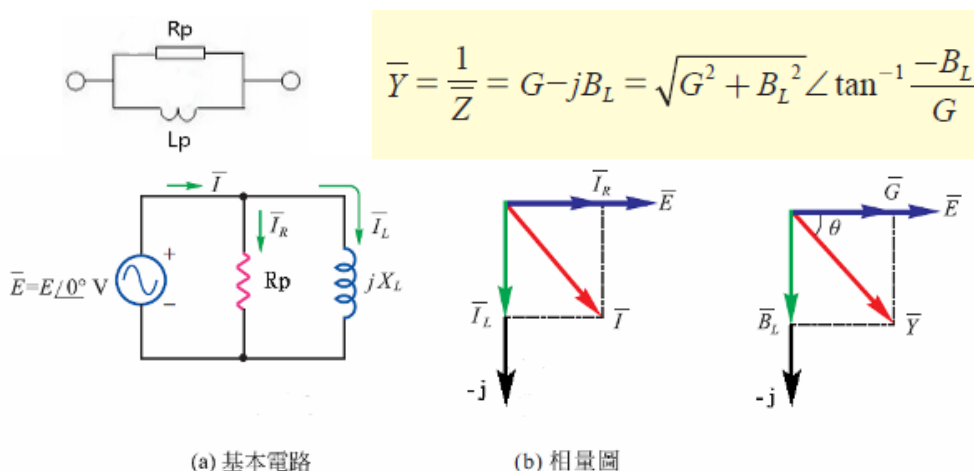
一个实际电感的等效电路，可以用串联模式和并联模式来做呈现。就串联模式而言，可视为一个纯电阻 R_s (代表如下图浅蓝色箭头路径损耗)，串联一个带著感抗 X_L 的纯电感 L_s 的电路；并联模式而言，可视为一个纯电阻 R_p ，并联一个带著感抗 X_L 的纯电感 L_p ，藉此用 R_s 、 R_p 与 X_L 的向量和表达阻抗。在等效电路模型中，电阻的引入是为了代表实际电感所产生的损耗(包括铁损与线损)。

串联模式：



因串联模式下原件上的电流 I 相同，所以 I 设定成 $\angle 0^\circ$ 之向量， R_s 固定为 $\angle 0^\circ$ 之向量， X_L 为 $\angle 90^\circ$ 之向量， R_s 与 X_L 之向量和为 $Z \angle \theta$ 。

並聯模式：



因並聯模式下原件上的電壓 V 相同，所以 V 設定成 $\angle 0^\circ$ 之向量； $G=1/R_p$ 稱為電導，固定為 $\angle 0^\circ$ 之向量； $B_L=1/X_L$ 稱之為電感納，為 $\angle -90^\circ$ 之向量。 G 與 B 之向量和為導納 $Y \angle \theta$ 。

磁芯複數磁導率的影響

1. 透過以下理想電感電路與實際電感串聯等效電路的阻抗演算，了解複數磁導率與阻抗的關係：（以下感抗 $X_L = j\omega L_s$ ， $\omega = 2\pi f$ 為角頻率）

理想電感電路(無損耗項)

$$Z = j\omega L_s = j\omega \left(\mu_0 \cdot \mu_i \cdot \frac{A_e}{l_e} \cdot N^2 \right) = j\omega \cdot \mu_i \left(\mu_0 \cdot \frac{A_e}{l_e} \cdot N^2 \right) = j\omega \cdot L_0 \cdot \mu_i$$

註： $\mu_i = \mu'_s$
 $\mu''_s = \frac{\mu'_s}{Q}$

實際電感串聯等效電路

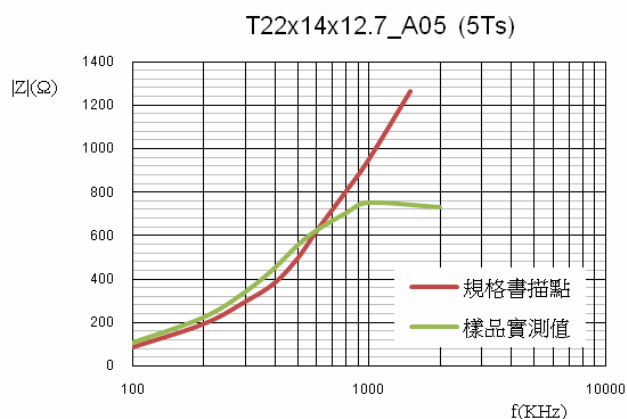
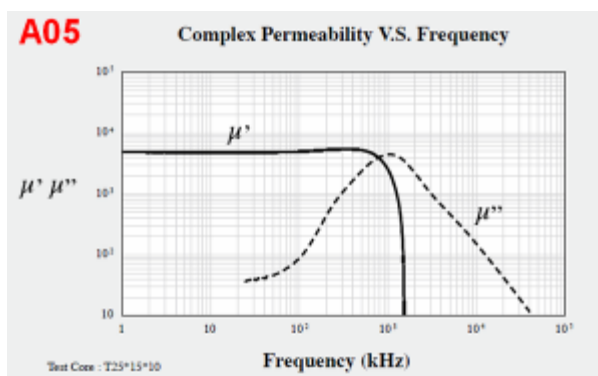
$$Z = j\omega L_s + R_s = j\omega L_s \left(1 + \frac{R_s}{j\omega L_s} \right) = j\omega \cdot L_0 \cdot \mu_i \left(1 - j \frac{R_s}{\omega L_s} \right) = j\omega \cdot L_0 \cdot (\mu'_s - j\mu''_s)$$

可見損耗項 R_s 的引入造成磁導率呈複數型態，其中虛部 μ_s'' 即是鐵損的一種表徵。

2. 透過上式之整理，能了解阻抗大小會受到頻率、磁路因子、繞線因子以及磁導率等綜合因素的影響：（以下不同顏色方框依序反應上述各影響因子）

$$|Z| = 2\pi f \cdot \mu_0 \cdot \frac{A_e}{l_e} \cdot N^2 \cdot \sqrt{(\mu'_s)^2 + (\mu''_s)^2} \quad (2)$$

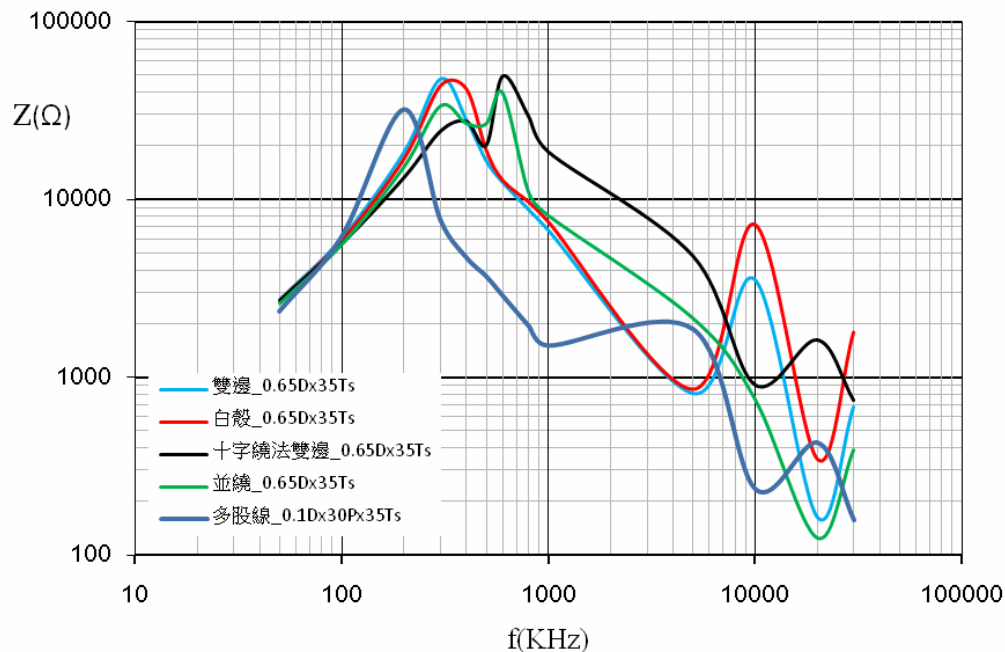
3. 實測比較：以下是越峰 T22x14x12.7-A05 鐵芯，透過規格書之描點，取得頻率對應 μ_s' 與 μ_s'' 之數值，並設定 $N=5$ ，帶入公式(2) 換算出 $|Z|$ 值，並與實際繞 5 圈之樣品量測結果做出比較。由此可了解到規格書提供的數據對評估阻抗具有一定之參考價值。



繞線因子的實驗觀察

繞線圈數的提高雖能拉高電感量，進而提高感抗；然而繞線工藝的不同，線與線之間的疊層等也會影響雜散電容 C 的表現，根據公式 $f_r = \frac{1}{2\pi\sqrt{LC}}$ ，瞭解諧振頻率會因 LC 的表現而做變動。透過以下的共模阻抗實驗觀察，我們能利用繞線因子的調整來微調阻抗諧振點往低頻移動，進而達到所需頻段之最佳阻抗。實測如下表：

樣品:ACME_A05_T22x14x12.7																	
Model	測試條件		LK(μH)	頻率(kHz)	50	100	200	300	400	500	600	800	1000	5000	10000	20000	30000
		單邊_0.65Dx35Ts		Z(Ω)	2672	5647	14472	31600	60352	35149	24169	16836	12649	2960	930	149	2030
		十字繞法單邊_35Ts			2663	5473	12313	20570	31033	37461	50761	38940	31435	10300	2630	984	651
		雙邊_0.65Dx35Ts	47		2763	6112	18610	47880	28319	16584	12570	8840	6737	817	3560	165	685
		十字繞法雙邊_0.65Dx35Ts	44		2708	5647	13278	24101	27280	20154	49010	29288	18423	4820	913	1631	748
		並繞_0.65Dx35Ts	0.7		2597	5601	15296	33556	26780	26726	39611	11008	8105	2150	752	125	390
		多股線_0.1Dx30Px35Ts	57		2352	6197	32259	7735	4755	3714	2896	1961	1511	1870	235	429	157
		白線_0.65Dx35Ts	52		2696	5870	16907	43388	41627	18767	12769	9652	7442	856	7200	348	1790



由上圖可見阻抗峰值的偏移量藉由繞線工藝的調整可達 400KHz 左右，足見繞線因子中雜散電容的影響力！

結語

要設計出一款能切合實際應用所需的元件，首先必須就該元件應用的條件與環境建立正確的認知，如此才能掌握設計參數，避免盲目設計下所可能帶來的無謂浪費與挫敗。基於此，我們討論了共模雜訊的傳導模式以及元件阻抗與雜訊抑制的關係，並從中論證了影響阻抗的諸多因素。從電感阻抗原理的論證中，透過等效電路的建模，找出鐵芯複數磁導率所扮演的角色，這對鐵芯材料的選擇，無疑地提供了明確的方向。

關於作者：

國立宜蘭大學電機工程系學士(2006)

現擔任研發部專案工程師